

DERWENT-ACC-NO: 2000-457127

DERWENT-WEEK: 200216

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Thin film integrated element for  
liquid crystal projector, maintains specified ratio  
of distance of shading film from center of channel  
area to distance of shading film from offset area

PATENT-ASSIGNEE: NEC CORP[NIDE]

PRIORITY-DATA: 1998JP-0340427 (November 30, 1998)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 2000164882 A		June 16, 2000	N/A
009	H01L 029/786		
JP 3259769 B2		February 25, 2002	N/A
009	H01L 029/786		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
JP2000164882A	N/A	
1998JP-0340427	November 30, 1998	
JP 3259769B2	N/A	
1998JP-0340427	November 30, 1998	
JP 3259769B2	Previous Publ.	JP2000164882
N/A		

INT-CL (IPC): G02F001/136, G02F001/1368 , H01L021/336 ,  
H01L029/786

ABSTRACTED-PUB-NO: JP2000164882A

BASIC-ABSTRACT:

NOVELTY - A thin film transistor is formed via an  
insulating film (3) over a

shading film (2) formed on glass substrate (1). Width of the shading film is greater than width of channel area of thin film transistor.

The ratio of distance of shading film from center of channel area to distance from offset area is 5:1 or more. The center of channel area of thin film transistor exists at upper portion of recess base.

DETAILED DESCRIPTION - The shading film functions as sub-gate electrode to the offset area of thin film transistor.

USE - For liquid crystal display devices such as liquid crystal projector, wall mount television, projection type television, display for office automation machine.

ADVANTAGE - Due to ratio of 5:1 for distance of shading film from center of channel area to distance from offset area, sufficient shading effect of shading film for offset area is obtained. The sub-gate electrode replaces LDD structure and controls offset area and an improvement in reduction of leakage current of transistor is obtained.

DESCRIPTION OF DRAWING(S) - The figure shows sectional view of thin film integrated element.

Substrate 1

Shading film 2

Insulating film 3

CHOSEN-DRAWING: Dwg.1/7

DERWENT-CLASS: P81 U12

EPI-CODES: U12-B03A;

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-164882

(P2000-164882A)

(43) 公開日 平成12年6月16日 (2000.6.16)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード (参考)	
H 0 1 L 29/786		H 0 1 L 29/78	6 1 9 B	2 H 0 9 2
G 0 2 F 1/136	5 0 0	G 0 2 F 1/136	5 0 0	5 F 1 1 0
H 0 1 L 21/336		H 0 1 L 29/78	6 1 2 B	
			6 1 6 L	
			6 1 7 A	
審査請求 有 請求項の数11 O L (全 9 頁) 最終頁に続く				

(21) 出願番号 特願平10-340427

(22) 出願日 平成10年11月30日 (1998. 11. 30)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 世良 賢二

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100100893

弁理士 渡辺 勝 (外3名)

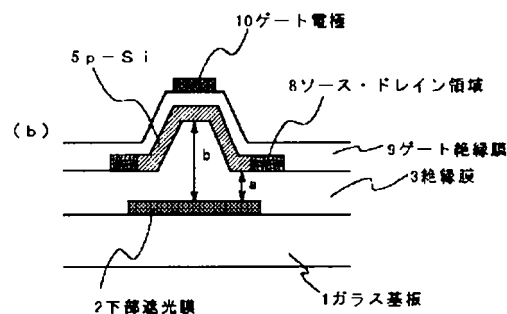
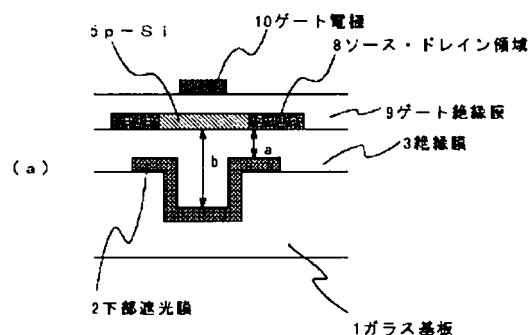
最終頁に続く

(54) 【発明の名称】 薄膜集積素子

(57) 【要約】

【課題】 LDD領域を形成することなく、TFTのオフセット制御を行うとともに、透明絶縁性基板側からの入射光の遮光を確実にを行う薄膜集積素子の構造の提供。

【解決手段】 透明絶縁性基板1上に形成された遮光膜2と、該遮光膜上に絶縁膜3を介して形成された薄膜トランジスタとを有する薄膜集積素子において、前記遮光膜は、導電性の材料により前記薄膜トランジスタのチャネル領域の幅よりも広く形成され、前記薄膜トランジスタのオフセット領域に対してサブゲート電極として機能し、且つ、前記遮光膜と前記チャネル領域の中心近傍との距離bと、前記遮光膜とオフセット領域との距離aの比が5:1以上とする。



## 【特許請求の範囲】

【請求項1】 透明絶縁性基板上に形成された遮光膜と、該遮光膜上に絶縁膜を介して形成された薄膜トランジスタとを有する薄膜集積素子において、前記遮光膜は、導電性の材料により前記薄膜トランジスタのチャネル領域の幅よりも広く形成され、前記薄膜トランジスタのオフセット領域に対してサブゲート電極として機能し、且つ、前記遮光膜と前記チャネル領域の中心近傍との距離と、前記遮光膜とオフセット領域との距離の比が5：1以上であることを特徴とする薄膜集積素子。

【請求項2】 前記遮光膜は、透明絶縁性基板上に形成された凹断面形状の段差部内壁面全面及び段差部周辺近傍に連続して形成されており、前記段差部の凹部底面上方に前記薄膜トランジスタのチャネル領域中心が位置することを特徴とする請求項1に記載の薄膜集積素子。

【請求項3】 前記遮光膜は、透明絶縁性基板上に平板状に形成されており、該遮光膜上に形成された凸断面形状の絶縁膜頂部に前記薄膜トランジスタのチャネル領域中心が位置する事を特徴とする請求項1に記載の薄膜集積素子。

【請求項4】 前記遮光膜は、タングステンシリサイドより形成されてなり、少なくとも160nmの膜厚に形成されていることを特徴とする請求項1乃至3のいずれか1項に記載の薄膜集積素子。

【請求項5】 画素電極へのスイッチングを行う画素薄膜トランジスタ、該画素薄膜トランジスタを駆動制御する駆動回路薄膜トランジスタ、及び少なくとも画素薄膜トランジスタと透明絶縁性基板との間に遮光膜とを有する薄膜集積素子において、

前記遮光膜は、導電性の材料により前記薄膜トランジスタのチャネル領域の幅よりも広く形成され、前記薄膜トランジスタのオフセット領域に対してサブゲート電極として機能し、

前記駆動回路薄膜トランジスタと透明絶縁性基板間に少なくとも駆動回路薄膜トランジスタのオフセット領域に対面するサブゲート電極を有し、

前記画素薄膜トランジスタ側に形成される前記遮光膜と前記画素薄膜トランジスタのチャネル領域の中心近傍との距離と、前記遮光膜とオフセット領域との距離の比が5：1以上であることを特徴とする薄膜集積素子。

【請求項6】 前記遮光膜は、透明絶縁性基板上に形成された凹断面形状の段差部内壁面全面及び段差部周辺近傍に連続して形成されており、前記段差部の凹部底面上方に前記画素薄膜トランジスタのチャネル領域中心が位置することを特徴とする請求項5に記載の薄膜集積素子。

【請求項7】 前記駆動回路薄膜トランジスタ側に形成されるサブゲート電極が、透明絶縁性基板上に形成された凹断面形状の段差部内壁面及び段差部周辺近傍に連続して形成されており、前記段差部の凹部底面に形成される

サブゲート電極と前記駆動回路薄膜トランジスタのチャネル領域中心近傍との距離と、前記段差部周辺近傍に形成されるサブゲート電極とオフセット領域との距離の比が5：1以上であることを特徴とする請求項6に記載の薄膜集積素子。

【請求項8】 前記遮光膜は、透明絶縁性基板上に平板状に形成されており、該遮光膜上に形成された凸断面形状の絶縁膜段差部頂部に前記画素薄膜トランジスタのチャネル領域中心が位置し、該絶縁膜段差部周辺部にオフセット領域が位置する事を特徴とする請求項5に記載の薄膜集積素子。

【請求項9】 前記駆動回路薄膜トランジスタ側に形成されるサブゲート電極が、透明絶縁性基板上に平板状に形成されており、該サブゲート電極上に形成された凸断面形状の絶縁膜頂部に前記駆動回路薄膜トランジスタのチャネル領域中心が位置し、該絶縁膜段差部周辺部にオフセット領域が位置し、前記サブゲート電極と前記駆動回路薄膜トランジスタのチャネル領域中心との距離と、サブゲート電極とオフセット領域との距離の比が5：1以上であることを特徴とする請求項8に記載の薄膜集積素子。

【請求項10】 前記遮光膜は、タングステンシリサイドより形成されてなり、少なくとも160nmの膜厚に形成されていることを特徴とする請求項5乃至9のいずれか1項に記載の薄膜集積素子。

【請求項11】 前記画素薄膜トランジスタ側の遮光膜と駆動回路薄膜トランジスタ側のサブゲート電極が同一材料で同時に形成されたものであることを特徴とする請求項5乃至10のいずれか1項に記載の薄膜集積素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、液晶プロジェクターなどの液晶表示装置に使用される薄膜集積素子に関し、特に駆動回路薄膜トランジスタと画素薄膜トランジスタとを同一基板上に同時に形成した一体型薄膜集積素子に関する。

## 【0002】

【従来の技術】近年、壁掛けTVや投射型TV、あるいは、OA機器用ディスプレイとして液晶パネルを用いた各種表示装置の開発が行われている。液晶パネルの中でもアクティブ素子である薄膜トランジスタを液晶表示装置に組み込んだアクティブマトリックス液晶ディスプレイは、走査線数が増加してもコントラストや応答速度が低下しない等の利点から、高品位のOA機器用表示装置やハイビジョン用表示装置を実現する上で有力であり、液晶プロジェクションなどの投射型液晶ディスプレイにおいては、大画面表示が容易に得られる。

【0003】中でも、アモルファスシリコン(a-Si)またはポリシリコン(p-Si)を用いた薄膜トランジスタ(TFT)をスイッチング素子としてマトリク

10

20

30

40

50

ス上に配した液晶表示装置(TFT-LCD)は、表示品位が高く、低消費電力であるため、その開発が盛んに行われている。

【0004】特に、p-Siを用いたTFTは、a-Siを用いたTFTよりも移動度が10倍から100倍程度高いため、その利点を利用して画素スイッチング素子だけでなく、周辺駆動回路にもp-Siを用いた画素TFTと駆動回路TFTを同一基板上に同時に形成する駆動回路一体型TFT-LCDが提案され、実用に供されている。

【0005】p-SiをTFT-LCDに用いる際の課題として、画素TFTにおいては、入射光による影響はもちろんのこと、レンズなどの光学系からの反射光によっても画素TFTのチャネル部において光励起により発生するオフ時のリーク電流が問題となっている。

【0006】従来、画素TFTのチャネル部への光入射を阻止するため、TFTの上下に遮光膜を形成することが提案されている。

【0007】又、画素TFTの基板側に遮光膜を形成した場合であっても、ドレイン電圧が高くなるとドレイン電界により粒界トラップとしてのリーク電流が増加するという問題も一般的に知られている。これを抑制するためにTFTのチャネル領域とソース領域との間及び／又はチャネル領域とドレイン領域との間にオフセット領域を設け、不純物イオンをソース領域及びドレイン領域よりも低い濃度で注入したLDD(Lightly Doped Drain)領域と称される領域を形成することが提案されている。たとえば、特開平9-213962号公報には、ゲート電極よりも寸法が大きい遮光膜上にシリコン層を形成後、ネガレジストを塗布して、基板裏面から露光し、遮光膜をマスクとして第1のレジストパターンを形成し、その開口部から露出しているシリコン層を薄膜化してチャネル領域及びオフセット領域(LDD領域)となる領域のみを薄膜化し、ゲート電極を形成後、ポジレジストを塗布して基板裏面から露光し、遮光膜をマスクとして第2のレジストパターンを形成し、これをマスクとしてイオン注入してソース領域、ドレイン領域及びオフセット領域を遮光膜と自己整合的に形成する方法が開示されている。

【0008】一方、駆動回路TFTにおいては、光学系からの反射光による影響はさほど無いが、耐圧確保の観点から画素TFTと同様にLDD構造をチャネルのソース・ドレイン領域近傍に設けることが一般的に行われている。このような耐圧確保のためのLDD構造は、一般的にはn型TFTのみ必要でp型はLDD構造を用いずとも耐圧確保は可能である。しかし、電圧条件等によってはp型TFTでも必要になってくる。しかしこの時、LDDの形成をn型TFTに1回、p型TFT用に1回実施する必要があるため、工程が煩雑化するため、一般的にはこの方法は用いられていないが、デバイス設計などに

はこの方法が有利である。

【0009】従来のp-Siを用いた駆動回路一体型LCDの製造工程を図面を参照して説明する。なお、ここではプロジェクト応用として遮光膜付きのTFTLCDについて、しかもn型画素TFT、p型回路TFTの両方にLDD構造TFTを採用する場合について説明する。

【0010】図6、7は従来の駆動回路一体型LCDの製造工程を説明するための概略工程断面図である。まず、ガラスなどの透明絶縁性基板1上にWSiなどの材料をスパッタ法で成膜し下部遮光膜2を形成する(図6(a))。更に基板全面に絶縁膜3( $\text{SiO}_2$ : 0.5~1 $\mu\text{m}$ 厚)を積層し、その上にアモルファスシリコン(a-Si)膜4を低圧CVD法(LPCVD)により、例えば100nm程度成膜する。a-Si膜4は更にエキシマレーザーを室温で例えば出力400mJで照射することで結晶化を行い、ポリシリコン化する(図6(b))。

【0011】このようにして形成されたp-Si層を画素TFT及び回路TFTの形成される部位にアイランド状p-Si5にパターニングする(図6(c))。

【0012】次に、画素TFTのソース・ドレイン領域8形成のため、n型不純物としてリン(P)7をイオン注入する。その際、回路TFT用のp型TFTは全面をフォトリソ(PR)6で覆っておく。又、画素TFTのチャネル部上にも同様にPR6を成膜し、選択的に画素TFTのソース・ドレイン領域8を形成する(図6(d))。

【0013】次に、全面にゲート酸化膜9として $\text{SiO}_2$ を100nm程度成膜し、ゲート電極10としてn-Si及びWSiをそれぞれ100nmずつ成膜する。その後フォトリソ工程によりゲート電極形状にパターニングする(図6(e))。

【0014】次に、画素TFT及び回路TFTのLDD領域にTFTのゲート電極10をマスクに、画素TFT用にリンなどのn型不純物イオンを、回路TFT用にボロンなどのp型不純物イオンをそれぞれ $5 \times 10^{12} \sim 10^{14} \text{atom/cm}^2$ 程度の濃度で注入し、LDD領域11を形成する。更に回路TFTのLDD領域及び画素TFTをPRなどでマスクした後、p型不純物をイオン注入して回路用のp型TFTのソース・ドレイン領域12を形成する(図7(a))。その後、不純物領域活性化のため、550℃でアニールし、更に水素プラズマ処理を実施して、チャネル領域中のダングリングボンドを水素により終端する。

【0015】ついで、レジストを除去後、第1の層間絶縁膜13として $\text{SiO}_2$ を400nm程度成膜し、各TFTのソース・ドレイン領域及びゲート電極へ通ずるコンタクトホール14の形成を実施し、コンタクト埋め込み及び配線電極15形成のため、スパッタ法でAl膜を

成膜し、配線電極形状にエッチングを施す(図7(b))。

【0016】更にPCVD法にて第2の層間絶縁膜16として窒化シリコン(SiN)膜を400nm程度成膜し、ドライエッチングにてコンタクトホール14を形成し、ブラックマトリックス用A1膜を500nm厚に成膜し、エッチングして図示のブラックマトリックス17を形成する(図7(c))。

【0017】最後に、第3の層間絶縁膜18としてSiNをPCVD法にて成膜し、画素電極を形成するためのコンタクトホール19を形成し、スパッタ法にてインジウムスズ酸化膜(ITO)を選択的に形成し、画素電極20を形成する(図7(d))。

【0018】

【発明が解決しようとする課題】上記従来技術では、回路耐圧の確保と画素TFTのリーク低減という2つの条件を両立して満足するLDD構造形成工程が必要であり、n、p型共にLDD構造を用いる場合には、LDD形成工程が2回必要である。又、LDD構造作製のため、低ドーズの制御が必要であるが、p-Siでの低ドーズ制御は極めて困難であり、特性バラツキの大きな要因となっていた。

【0019】又、LDDの耐圧条件等はp-Siの膜質によっても変動し、一旦形成されたLDD構造では、この耐圧条件の変動に追従することはできず、このような変動が起こる場合には不十分である。

【0020】なお、特開平5-90586号公報には、MOS型薄膜トランジスタのゲート電極側とチャンネル層側の少なくとも一方に、絶縁膜を隔ててサブゲート電極を形成した薄膜トランジスタが開示されており、サブゲート電極に対してドレイン電圧と同電位か、0Vからドレイン電圧までの所定の電位を印加してドレインオフセットの電界を制御することで、リーク電流を低減し、オン電流を増加させることができることが記載されている。このように、サブゲート電極を形成することで、LDD構造を形成せずともドレインオフセットの電界の制御は可能であるが、液晶プロジェクターなどの用途に使用する場合には、前記したように光学系からの反射光による光リークの対策も必要であり、サブゲート電極に遮光膜の機能を兼ねさせるよう形成するとチャンネル部全面を覆うように形成することとなり、サブゲート電極に印加する電圧がトランジスタのしきい値を超えてしまえば、トランジスタとして機能できず、リーク電流の低減、オン電流の増加にも自ずと限界が生じている。従って、遮光膜を別途形成する必要がある。

【0021】従って、本発明の目的は、LDD構造を形成せずとも遮光、特に光学系からの反射光の遮光、リーク電流の低減並びにトランジスタ耐圧の向上が可能で、又、その製造工程も簡略であり、プロセスマージンの拡大の図れる薄膜集積素子を提供することにある。

【0022】

【課題を解決するための手段】本発明者は、上記課題を解決するべく鋭意検討した結果、TFTのチャンネル領域下部に遮光と同時にサブゲート電極としての機能を有する電極層とチャンネル領域との配置を改良することにより、遮光性を確保した上で、LDD構造を形成することなく、リーク電流、耐圧特性が改善され、又、チャンネル部でのオン動作を阻害しない薄膜トランジスタ構造が提供できることを見いだした。

【0023】すなわち本発明は、透明絶縁性基板上に形成された遮光膜と、該遮光膜上に絶縁膜を介して形成された薄膜トランジスタとを有する薄膜集積素子において、前記遮光膜は、導電性の材料により前記薄膜トランジスタのチャンネル領域の幅よりも広く形成され、前記薄膜トランジスタのオフセット領域に対してサブゲート電極として機能し、且つ、前記遮光膜と前記チャンネル領域の中心近傍との距離と、前記遮光膜とオフセット領域との距離の比が5:1以上であることを特徴とする薄膜集積素子に関するものである。

【0024】

【発明の実施の形態】図面を参照して本発明について説明する。図1(a)及び(b)は、本発明の実施形態の概略を示す断面図である。

【0025】図1(a)では、下部遮光膜2は、透明絶縁性基板1に形成された凹断面形状の段差部内壁面全面及び段差部周辺近傍に連続して形成されており、前記段差部の凹部底面上方にTFTのp-Siからなるチャンネル領域中心が位置するようにTFTが形成されている。又、図1(b)では、下部遮光膜2は、透明絶縁性基板1上に平板状に形成されており、該遮光膜2上に形成された凸断面形状の絶縁膜3頂部にTFTのチャンネル領域中心部が位置するように形成されている。

【0026】ここで、下部遮光膜2とチャンネル領域中心部までの距離bは下部遮光膜2とチャンネル領域との最短距離aの少なくとも5倍となるように形成する。なお、上限については特に規定はなく、トランジスタの特性及び設計条件により適宜最適となるよう設定すればよい。

【0027】本発明者の検討によれば、例えば、最短距離aが100nm程度である場合、10V程度電圧が印加できれば効果が得られる。また、その場合、チャンネル領域中央部では、トランジスタのしきい値電圧以下である1Vと以下とする必要があり、距離bは距離aの5倍以上、例えば、前記のaが100nmの場合は、500nm以上とすることで、チャンネル中央部にかかる電圧を低減することができ、トランジスタのオン動作に影響を与えない。

【0028】また、下部遮光膜2の幅は、TFTのチャンネル領域の幅よりも広く形成する必要がある。チャンネル領域の幅よりも狭いと遮光効果が得られない。なお、前述の駆動回路一体型TFTでは、画素TFTでは遮光は

重要であり、この要件を満たす必要があるが、回路TFTでは、遮光は特に必要とはされないもので、この限りではない。

【0029】遮光膜の厚みは、使用する材料により光透過特性が種々異なるため、一概に規定することはできないが、例えば、遮光膜にタングステンシリサイド(WSi)を使用する場合には、160nm以上の厚みに形成するのが好ましい。要は十分な遮光効果が得られる膜厚であればよいが、あまり厚すぎても素子自体が厚膜化してしまうため、所望の設計条件により最適となるよう決定すればよい。

【0030】下部遮光膜2の最短距離aに対面するチャネル領域は、ゲート電極に対していわゆるオフセット領域となる部分である。もちろん、ゲート電極がオフセット領域にかかる従来公知のゲートオーバーラップ構造であってもよい。図1に示した例では、ソース・ドレイン領域の両方の領域に隣接するオフセット領域に対面する例を示しているが、十分な遮光効果が得られれば、ドレイン側オフセット領域のみを対面するように形成してもよい。

【0031】図1(a)に示す例では、ガラス基板1に形成する段差部の形状として、矩形形状で形成しているが、これに限定されるものではなく、台形状、多角形状等、いずれの形状でも可能である。製造しやすさの点からは、図示の矩形形状とするのが好ましい。

【0032】また、図1(b)に示される例においても、段差部の形状は図示の台形状に限定されるものではなく、矩形形状、多角形状等いずれの形状も可能である。

【0033】また、駆動回路一体型TFTにおいては、画素TFTについては、上記構成とするが、回路TFTについてはサブゲート電極として作用する部分、つまり、オフセット領域に対面する面にのみ形成すれば良く、チャネル中心部にかかる場合は、画素TFTと同様に形成してもよい。

【0034】更に、あまり実用的ではないが、画素TFT側と回路TFT側とを、それぞれ図1(a)の形状と図1(b)の形状として、組み合わせて使用することも可能である。また、画素TFT側に形成される遮光膜と回路TFT側に形成されるサブゲート電極とは同一の材料で同時に形成することが好ましいが、それぞれ別材料で別途形成することも可能である。

【0035】

【実施例】以下、実施例を挙げて本発明を具体的に説明するが、本発明はこれらの実施例のみに限定されるものではない。なお、以下の実施例においては、画素TFTをn型に、回路TFTとしてn型、p型を用いるCMOS構造で形成する場合について説明する。

【0036】実施例1

図2、3を参照して、本発明の第1の実施例について説明する。なお、以下の説明において、図中、右側に画素

TFTを、左側に回路p型TFTを形成するものとする。回路n型TFTについては回路p型TFTの図中手前あるいは奥に形成するものとし、ここでは図示していない。後述する実施例2においても同様である。また、回路TFT側に形成されるサブゲート電極について、以下の説明では画素TFT側に形成される下部遮光膜と同一材料で同時に形成しているため、便宜上、区別していない。

【0037】まず図2(a)に示すように、ガラス基板1などの透明絶縁性基板上の各TFT形成予定部位に深さ500nmの段差1aを形成する。次に基板面全面にWSiなどの材料をスパッタ法で成膜し、エッチングしてそれぞれ下部遮光膜2を形成する。更に基板全面に絶縁膜3(SiO<sub>2</sub>:0.5~1μm厚)を積層し表面を平坦化する(図2(b))。平坦化後、段差周辺部の下部遮光膜2上の絶縁膜厚みは約100nmであり、段差部底に形成された下部遮光膜上の絶縁膜厚みは約600nmとなる。その上にアモルファスシリコン(a-Si)膜4を低压CVD法(LPCVD)により、例えば100nm程度成膜する。a-Si膜4は更にエキシマレーザーを室温で例えば出力400mJで照射することで結晶化を行い、ポリシリコン化する(図2(c))。

【0038】このようにして形成されたp-Si層を画素TFT及び回路TFTの形成される部位にアイランド状p-Si5にパターンニングし、まず、画素TFTのソース・ドレイン領域8を形成するため、n型不純物としてリン(P)イオン7を、例えば、 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ atom/cm}^2$ のドーズ量で注入する。その際、回路p型TFT用のp-Si5は全面をフォトリソ(PR)6で覆っておく。又、画素TFTのチャネル部上にも同様にPR6を成膜し、選択的に画素TFTのソース・ドレイン領域8を形成する(図2(d))。なお、回路n型TFTはこの工程で同時にソース・ドレイン領域を形成することができる。

【0039】次に、全面にゲート酸化膜9としてSiO<sub>2</sub>を100nm程度成膜し、ゲート電極10としてn-Si及びWSiをそれぞれ100nmずつ成膜する。その後フォトリソ工程によりゲート電極形状にパターンニングする(図2(e))。

【0040】次に図3(a)に示すように、回路p型TFTのソース・ドレイン領域12を形成するため、回路p型TFTのチャネル領域上、回路n型TFT及び画素TFTのソース・ドレイン領域を含む活性層全面を覆うようにPR6を形成し、p型不純物として、例えばボロン(B)イオンを $1 \times 10^{15} \sim 5 \times 10^{15} \text{ atom/cm}^2$ のドーズ量でイオン注入する。その後、550℃でアニールし、更に水素プラズマ処理を実施して、チャネル領域中のダングリングボンドを水素により終端する。

【0041】ついで、レジストを除去後、第1の層間絶縁膜13としてSiO<sub>2</sub>を400nm程度成膜し、各T

FTのソース・ドレイン領域及びゲート電極へ通ずるコンタクトホール14の形成を実施し、コンタクト埋め込み及び配線電極15形成のため、スパッタ法でAl膜を成膜し、配線電極形状にエッチングを施す(図3(b))。

【0042】更にPCVD法にて第2の層間絶縁膜16として窒化シリコン(SiN)膜を400nm程度成膜し、ドライエッチングにてコンタクトホール14を形成し、ブラックマトリクス用Al膜を500nm厚に成膜し、エッチングして図3(c)に示すようにブラックマトリクス17を形成する。

【0043】最後に、第3の層間絶縁膜18としてSiNをPCVD法にて成膜し、画素電極を形成するためのコンタクトホール19を形成し、スパッタ法にてインジウムスズ酸化膜(ITO)を選択的に形成し、画素電極20を形成する(図3(d))。

【0044】なお、下部遮光膜2には不図示のコンタクトを介して電圧を印加できるようにしておき、サブゲート電極として機能するようにしておく。

【0045】以上の製造方法ではn型の不純物ドーピング工程をゲート電極形成前に行っているが、ゲート電極形成後に行うこともできる。

【0046】このように形成した薄膜集積素子において、下部遮光膜2に例えば10Vの電圧を印加してオン動作させる場合、チャネル領域中央部近傍では約10分の1の電位、すなわち、1V程度しか作用しなくなる。つまり、オフセット領域に対しては下部遮光膜がサブゲート電極として機能し、チャネル領域中央部近傍ではサブゲート電極としての機能はない。結果として、トランジスタのオン動作を阻害することなく、オフセット領域の制御が可能となる。

#### 【0047】実施例2

本発明の第2の実施例について図4及び図5を参照して説明する。

【0048】まず、ガラス基板上に、例えばWSi膜を160nm程度に成膜し、各TFT用の遮光膜パターンにパターニングする(図4(a))。続いて、各遮光膜上に高さ2μm程度の凸部31を酸化膜で選択的に形成し(図4(b))、更にこの上にCVD法により絶縁膜3としてSiO<sub>2</sub>膜を500nm程度の膜厚で全面に形成して段差部32を形成する(図4(c))。

【0049】次に全面にLPCVD法によりa-Si膜4を例えば100nm程度成膜する。a-Si膜4は更にエキシマレーザを室温で例えば出力400mJで照射することで結晶化を行い、ポリシリコン化する(図4(d))。

【0050】このようにして形成されたp-Si層4を画素TFT及び回路TFTの形成される部位にアイランド状p-Si5にパターニングする(図4(e))。

【0051】続いて、画素TFTのソースドレイン領域

8を形成するため、n型不純物としてリン(P)イオン7を、例えば、 $1 \times 10^{15} \sim 5 \times 10^{15} \text{ atom/cm}^2$ のドーズ量で注入する。その際、回路p型TFT用のp-Si5は全面をフォトリソ(PR)6で覆っておく。又、画素TFTのチャネル部上にも同様にPR6を成膜し、選択的に画素TFTのソース・ドレイン領域8を形成する(図5(a))。なお、回路n型TFTはこの工程で同時にソース・ドレイン領域を形成することができる。

10 【0052】次に、全面にゲート酸化膜9としてSiO<sub>2</sub>を100nm程度成膜し、ゲート電極10としてn<sup>+</sup>-Si及びWSiをそれぞれ100nmずつ成膜する。その後フォトリソ工程によりゲート電極形状にパターニングする(図5(b))。

【0053】次に図5(c)に示すように、回路p型TFTのソース・ドレイン領域12を形成するため、回路p型TFTのチャネル領域上、回路n型TFT及び画素TFTのソース・ドレイン領域を含む活性層全面を覆うようにPR6を形成し、p型不純物として、例えばボロン(B)イオンを $1 \times 10^{15} \sim 5 \times 10^{15} \text{ atom/cm}^2$ のドーズ量でイオン注入する。その後、550℃でアニールし、更に水素プラズマ処理を実施して、チャネル領域中のダングリングボンドを水素により終端する。

【0054】ついで、レジストを除去後、第1の層間絶縁膜13としてSiO<sub>2</sub>を400nm程度成膜し、各TFTのソース・ドレイン領域及びゲート電極へ通ずるコンタクトホール14の形成を実施し、コンタクト埋め込み及び配線電極15形成のため、スパッタ法でAl膜を成膜し、配線電極形状にエッチングを施す(図5

30 (d))。

【0055】その後、実施例1と同様にして、第2の層間絶縁膜、ブラックマトリクス、第3の層間絶縁膜、画素電極の形成を行って薄膜集積素子を形成する。

【0056】この例では、下部遮光膜2上に形成するその断面が凸面形状の段差部32を絶縁膜により形成し、該段差部32の頂部にチャネル領域中心が位置するように形成することで、下部遮光膜2からチャネル中心までの距離を、ソース・ドレイン近傍までの距離の5倍以上に形成することができる。

40 【0057】以上、実施例では画素TFTとしてn型、回路TFTとしてn型、p型の両者を用いるCMOS構造で形成する方法を中心に述べてきたが、すべてn型TFTで構成する場合、画素TFTも含めてすべてp型TFTで構成する場合、あるいは画素TFTとしてn型、p型の両者を用いる場合でも本発明は有効であり、いずれの場合でも、TFT構造の導電型を変更するのみで、基本的な構造は同じである。

【0058】以上の製造方法ではn型の不純物ドーピング工程をゲート電極形成前に行っているが、ゲート電極形成後に行うこともできる。



【0059】

【発明の効果】以上説明したように、本発明によれば、下部遮光膜をチャネル領域全面を遮光するように形成し、下部遮光膜とTFTのチャネル領域中心までの距離を下部遮光膜とTFTのオフセット領域までの距離の5倍以上とすることにより、該遮光膜がオフセット領域に対してはサブゲート電極として作用する一方、チャネル領域中心近傍に対してはほとんど電界を与えないため、十分な遮光効果が得られ、LDD構造に代えてオフセット領域を電氣的に制御できるサブゲート電極が形成できるため、リーク電流の低減はもちろん、回路TFTにおいては、トランジスタ耐圧の向上も可能となる。

【図面の簡単な説明】

【図1】本発明の作用を説明する概略断面図である。

【図2】本発明の一実施例になる薄膜集積素子の製造工程を説明する工程断面図である。

【図3】図2の薄膜集積素子の製造工程に続く工程を説明する工程断面図である。

【図4】本発明の他の実施例になる薄膜集積素子の製造工程を説明する工程断面図である。

【図5】図4の薄膜集積素子の製造工程に続く工程を説明する工程断面図である。

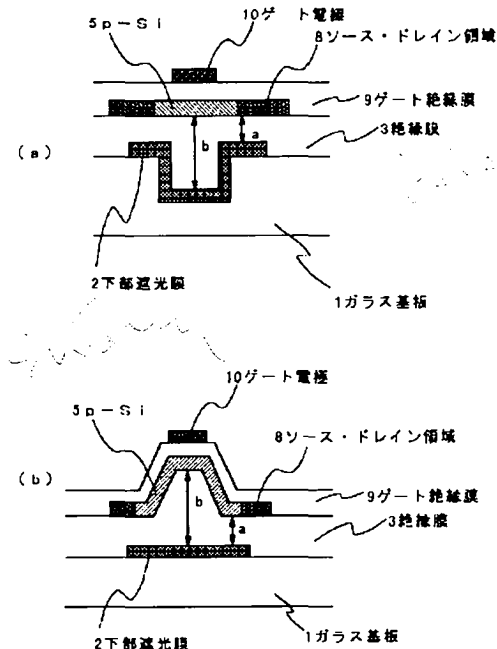
【図6】従来の薄膜集積素子の製造工程を説明する工程断面図である。

【図7】図6の薄膜集積素子の製造工程に続く工程を説明する工程断面図である。

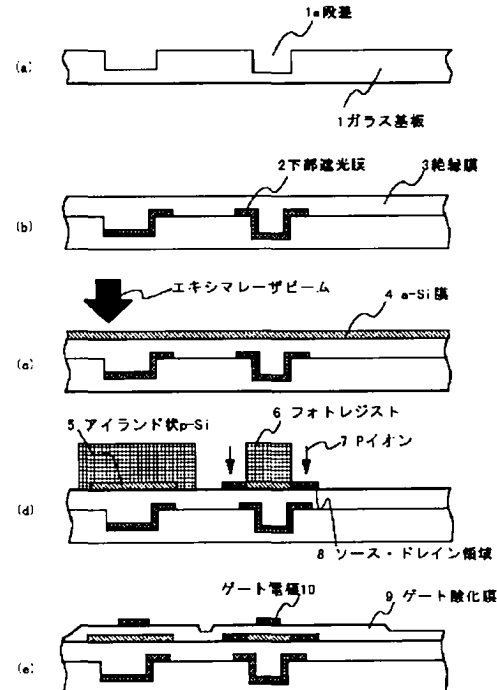
【符号の説明】

- 1 ガラス基板
- 1a 凹部
- 2 下部遮光膜
- 3 絶縁膜
- 4 a-Si膜
- 5 アイランド状p-Si
- 6 フォトレジスト
- 7 Pイオン
- 8 ソース・ドレイン領域（画素TFT）
- 9 ゲート酸化膜
- 10 ゲート電極
- 11 LDD領域
- 12 ソース・ドレイン領域（回路TFT）
- 13 第1の層間絶縁膜
- 14 コンタクトホール
- 15 A1配線
- 16 第2の層間絶縁膜
- 17 ブラックマトリクス
- 18 第3の層間絶縁膜
- 19 コンタクトホール
- 20 画素電極
- 21 駆動回路TFT
- 22 画素TFT
- 31 凸部
- 32 段差部

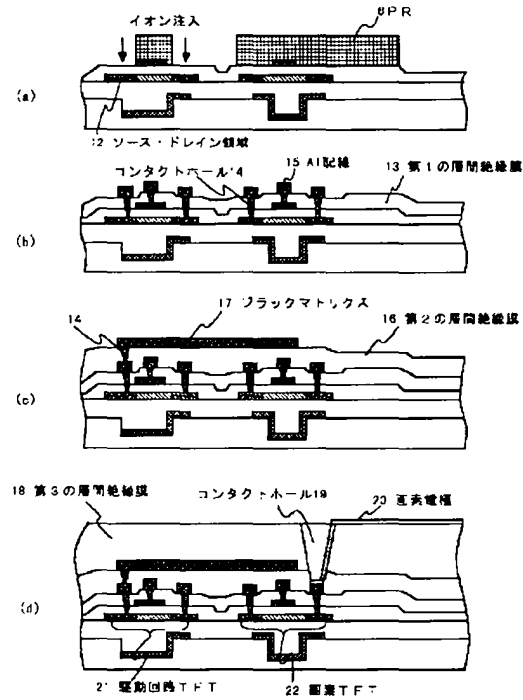
【図1】



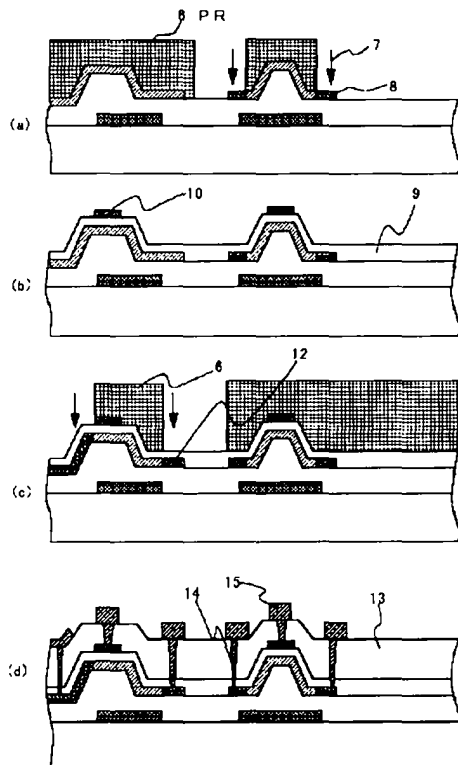
【図2】



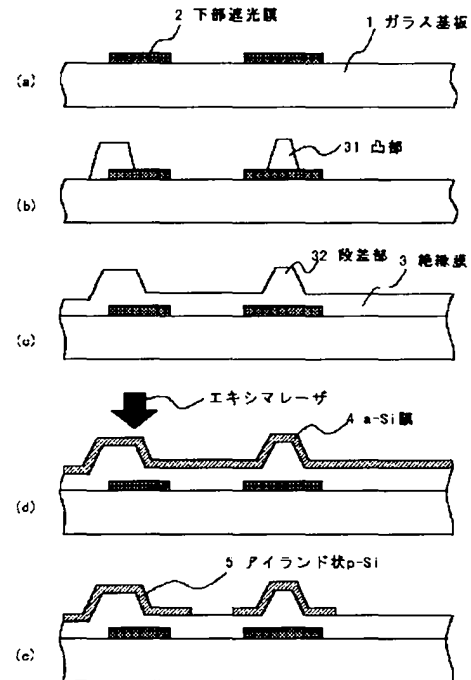
【図3】



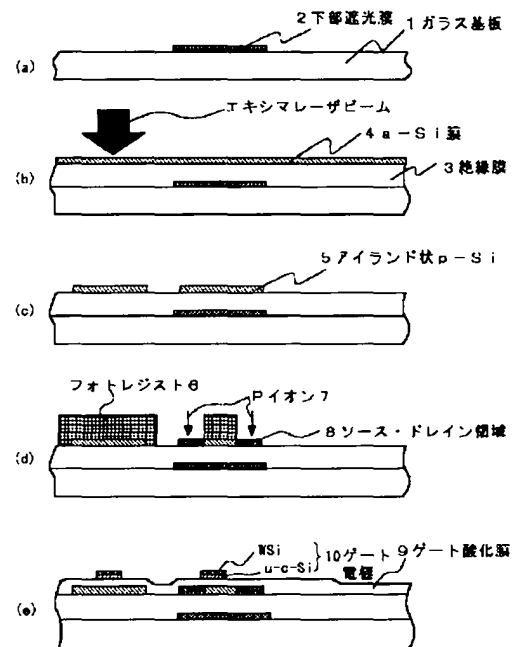
【図5】



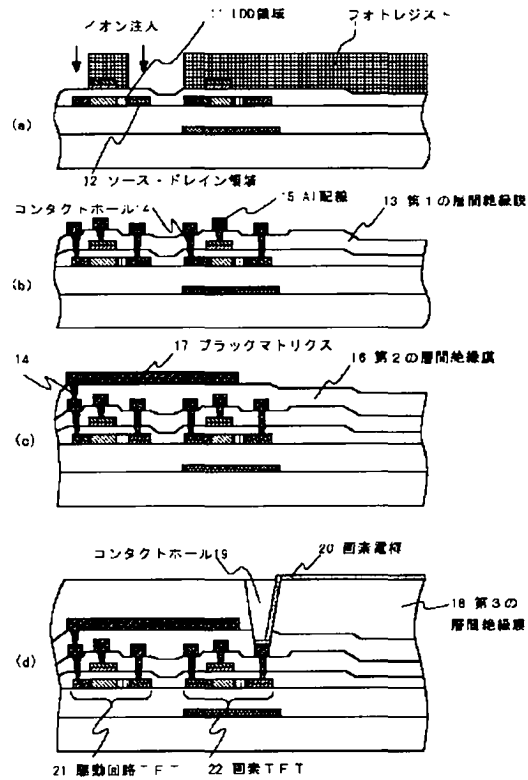
【図4】



【図6】



【図7】



フロントページの続き

(51)Int.Cl.<sup>7</sup>  
)

識別記号

F I

タームコード (参考)

H O 1 L 29/78

6 2 6 C

6 2 7 A

Fターム(参考) 2H092 JA24 JB51 KA02 KA04 KA05  
 MA05 MA12 MA15 MA19 MA29  
 MA30 NA12 NA21 NA26 NA27  
 PA01 RA05  
 5F110 AA06 AA18 AA19 BB02 BB04  
 CC02 DD13 DD21 EE05 EE09  
 FF02 GG02 GG13 GG15 GG22  
 GG25 GG47 HJ01 HJ04 HJ13  
 HJ22 HL03 HL23 HM14 HM18  
 KN03 KN23 NN24 NN35 NN44  
 NN45 NN54 PP03 QQ04 QQ11  
 QQ19 QQ25